

Integrated semiconductor memory device

Patent number: DE10109335
Publication date: 2002-09-05
Inventor: MUELLER JOCHEN (DE)
Applicant: INFINEON TECHNOLOGIES AG (DE)
Classification:
- international: G11C29/00
- european: G11C29/00R8F2
Application number: DE20011009335 20010227
Priority number(s): DE20011009335 20010227

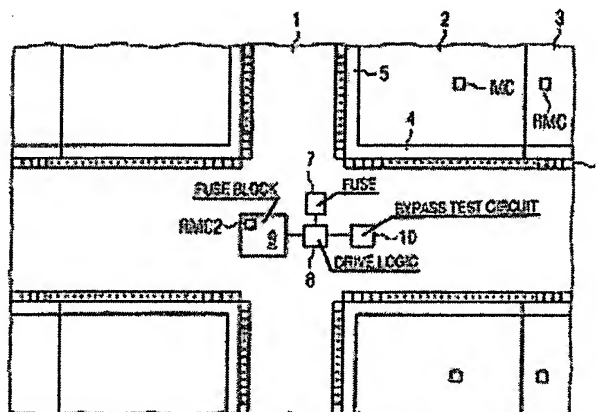
Also published as:

US 6560149 (B2)
US 2002118586 (A1)

Abstract not available for DE10109335

Abstract of correspondent: **US2002118586**

An integrated semiconductor memory device that can be subjected to a memory cell test in order to determine functional and defective memory cells includes addressable normal memory cells, a first redundancy unit having first addressable redundant memory cells and optically programmable switches for replacing an address of a defective normal memory cell by the address of a first redundant memory cell, and a second redundancy unit having second addressable redundant memory cells and electrically programmable switches for replacing an address of a defective normal memory cell by the address of a second redundant memory cell. The second redundancy unit can be connected by the activation of an irreversibly programmable switch, which enables a simplified functional test at the wafer level



Data supplied from the **esp@cenet** database - Worldwide

⑬ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ Patentschrift
⑩ DE 101 09 335 C 2

⑨ Int. Cl. 7:
G 11 C 29/00

⑳ Aktenzeichen: 101 09 335.7-53
㉑ Anmeldetag: 27. 2. 2001
㉒ Offenlegungstag: 5. 9. 2002
㉓ Veröffentlichungstag
der Patenterteilung: 19. 12. 2002

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

㉔ Patentinhaber:
Infineon Technologies AG, 81669 München, DE
㉕ Vertreter:
Epping, Hermann & Fischer, 80339 München

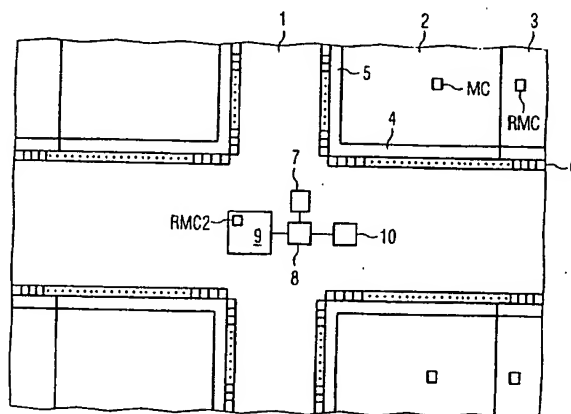
㉖ Erfinder:
Müller, Jochen, Dr., 81825 München, DE

㉗ Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:

US 60 81 910
US 59 87 632

㉘ Integriertes Halbleiterspeicherbauelement

㉙ Integriertes Halbleiterspeicherbauelement, das zur Ermittlung von funktionsfähigen und fehlerhaften Speicherzellen einem Speicherzellentest unterziehbar ist, mit
- adressierbaren normalen Speicherzellen (2, MC)
- einer ersten Redundanzeinheit, die erste adressierbare redundante Speicherzellen (3, RMC) und optisch programmierbare Schalter (6) zum Ersetzen einer Adresse einer fehlerhaften normalen Speicherzelle (MC) durch die Adresse einer ersten redundanten Speicherzelle (RMC) aufweist, und
- einer zweiten Redundanzeinheit (8, 9), die zweite adressierbare redundante Speicherzellen (9, RMC2) und elektrisch programmierbare Schalter zum Ersetzen einer Adresse einer fehlerhaften normalen Speicherzelle (MC) durch die Adresse einer zweiten redundanten Speicherzelle (RMC2) aufweist,
dadurch gekennzeichnet, daß
die zweite Redundanzeinheit (8, 9) durch die Aktivierung eines irreversibel programmierbaren Schalters (7) zuschaltbar ist.



DE 101 09 335 C 2

DE 101 09 335 C 2

[0001] Die Erfindung betrifft ein integriertes Halbleiterspeicherbauelement, das zur Ermittlung von funktionsfähigen und fehlerhaften Speicherzellen einem Speicherzellen-
test unterziehbar ist, mit adressierbaren normalen Speicherzellen, einer ersten Redundanzeinheit, die erste adressierbare redundante Speicherzellen und optisch programmierbare Schalter zum Ersetzen einer Adresse einer fehlerhaften normalen Speicherzelle durch die Adresse einer ersten redundanten Speicherzelle aufweist, und einer zweiten Redundanzeinheit, die zweite adressierbare redundante Speicherzellen und elektrisch programmierbare Schalter zum Ersetzen einer Adresse einer fehlerhaften normalen Speicherzelle durch die Adresse einer zweiten redundanten Speicherzelle aufweist.

[0002] Integrierte Halbleiterspeicher weisen im Allgemeinen zur Reparatur fehlerhafter Speicherzellen redundante Speicherzellen auf, die meist zu redundanten Reihenleitungen und redundanten Spaltenleitungen zusammengefaßt sind, welche die regulären Leitungen mit defekten Speicherzellen adressmäßig ersetzen können.

[0003] Dabei wird der integrierte Speicher beispielsweise mit einer externen Prüfeinrichtung oder einer Selbsttesteinrichtung geprüft und anschließend anhand einer sogenannten Redundanzanalyse eine Programmierung der redundanten Elemente vorgenommen. Eine Redundanzschaltung weist dann programmierbare Elemente, beispielsweise in Form von programmierbaren Fuses auf, die zum Ersetzen der Adresse einer defekten Zelle, Zeilen- oder Spaltenleitung durch eine fehlerfreie redundante Zelle, Zeilen- oder Spaltenleitung dienen.

[0004] Dabei sind sowohl programmierbare Schalter üblich, die beim Programmieren von einem leitenden (niedrigohmigen) in einen nichtleitenden (hochohmigen) Zustand gebracht werden (sogenannte Fuses), als auch programmierbare Schalter, die beim Programmieren von einem hochohmigen in einen niedrigohmigen Zustand versetzt werden (sogenannte Antifuses).

[0005] Das Programmieren der Fuses ist ein einmaliger, irreversibler Vorgang, mit dem der programmierbare Schalter dauerhaft in den gewünschten Zustand gebracht wird. Die Programmierung kann dabei durch Beaufschlagen des programmierbaren Schalters mit einem Laserpuls oder mit einem elektrischen Spannungs- oder Stromimpuls erfolgen. Im ersteren Fall spricht man von Laserfuses, im letzteren Fall von e-Fuses.

[0006] Es ist bekannt, bei einem integriertem Halbleiterspeicher zwei getrennte Redundanzeinheiten vorzusehen. Eine erste Redundanzeinheit weist dabei üblicherweise eine große Zahl redundanter Speicherzellen auf, deren Adressen durch die Programmierung von Laserfuses die Adressen defekter normaler Speicherzellen ersetzen können. Diese Speicherzellen werden zur Reparatur des Speichers auf Waferebene verwendet, wo die Laserfuses für den Laserstrahl noch problemlos zugänglich sind.

[0007] Nachdem die Speicherbausteine gehäust sind, sind die Laserfuses für einen Laserstrahl nicht mehr zugänglich. Um dennoch Speicherzellenfehler reparieren zu können, die bei späteren Tests an gehäusten Bausteinen auftreten, ist bei diesem Konzept eine sehr begrenzte Anzahl von redundanten Speicherzellen vorgesehen, die durch elektrische Fuses aktiviert werden können. Eine Reparatur mit e-Fuses findet auf Waferebene nicht statt, da hier noch eine große Anzahl von Laserfuses vorhanden ist.

[0008] Bei diesem Redundanzkonzept tritt das Problem auf, daß die elektrischen Fuses und deren Ansteuerschaltungen bei den Tests auf Waferebene, bei denen ihre Funktionalität

noch nicht benötigt wird, dennoch Rückwirkungen auf die Funktion anderer Bauelemente des Halbleiterspeichers haben können, was die Prüfung auf Funktionsfähigkeit dieser Bauelemente erschwert, oder bei fehlerhaften e-Fuse Ansteuerschaltungen sogar unmöglich machen kann.

[0009] Darüber hinaus verursachen die elektrischen Fuses und die für ihre Ansteuerung und Programmierung erforderliche Logik zusätzlichen Herstellungsaufwand und damit zusätzliche Kosten. Diese werden überflüssig, wenn ein Herstellungsprozess beziehungsweise die Prüftechnik für ein bestimmtes Speicherdesign so gut eingeschwungen ist, daß auf Bausteinebene nur noch sehr wenige Fehler auftreten.

[0010] Werden die elektrischen Fuses ganz weggelassen, also die entsprechenden Prozessschritte bei der Herstellung ausgelassen, ergeben sich auf dem Baustein anstelle abgeschossener Antifuses mit hohem Widerstand nunmehr Kurzschlüsse, die beim Auslesen der Antifuses fälschlicherweise als geschossene Fuses interpretiert würden. Eine solche Vorgehensweise stellt somit keinen gangbaren Weg dar.

[0011] Ein Lösung besteht in der Verwendung einer separaten Maske für die Prozessierung, bei der die Logik für die Reparatur für die elektrischen Fuses generell ausgeschaltet ist. Allerdings erfordert diese Lösung eine zusätzliche Maske.

[0012] Die Druckschrift US 6 081 910 offenbart ein integriertes Halbleiterspeicherbauelement mit einer Redundanzeinheit, die in zwei Durchgängen mittels dauerhaft programmierbarer Schalter für die Ersetzung fehlerhafter Speicherzellen programmiert werden kann. Dabei können zumindest die dauerhaft programmierbaren Schalter für den zweiten Durchlauf elektrisch programmierbar sein, was die Durchführung des zweiten Durchlaufs auch an gehäusten Bausteinen ermöglicht.

[0013] Auch in der Druckschrift US 5 987 632 ein integriertes Halbleiterspeicherbauelement mit einer Redundanzeinheit beschrieben, die in zwei Durchgängen für die Ersetzung fehlerhafter Speicherzellen programmiert werden kann. Dabei werden fehlerhafte Speicherzellen nur im zweiten Durchlauf durch redundante Speicherzellen ersetzt, während der erste Durchlauf der endgültigen Abschaltung defekter Speicherzellen dient.

[0014] Hier setzt die Erfindung an. Der Erfindung, wie sie in den Ansprüchen gekennzeichnet ist, liegt die Aufgabe zugrunde, ein gattungsgemäßes integriertes Halbleiterspeicherbauelement so weiter zu entwickeln, daß die zweite Redundanzeinheit mit ihren elektrisch programmierbaren Schaltern die Tests auf Funktionsfähigkeit der anderen Bauelemente des Halbleiterspeichers auf Waferebene nicht nachteilig beeinflusst.

[0015] Diese Aufgabe wird durch das integrierte Halbleiterspeicherbauelement nach Anspruch 1 gelöst. Bevorzugte Ausgestaltungen sind Gegenstand der abhängigen Ansprüche.

[0016] Erfindungsgemäß ist die zweite Redundanzeinheit des integrierten Halbleiterspeicherbauelements durch die Aktivierung eines irreversibel programmierbaren Schalters zuschaltbar. Dies ermöglicht, daß bei den Tests auf Waferebene die Reparatur von Speicherzellen mittels elektrisch programmierbarer Schalter generell noch abgeschaltet ist. Erst am Ende des Wafertests wird entschieden, ob die zweite Redundanzeinheit durch Aktivierung des irreversibel programmierbaren Schalters zugeschaltet wird.

[0017] Wird die zweite Redundanzeinheit am Ende der Tests auf Waferebene zugeschaltet, so kann nachfolgend auf Bausteinebene in herkömmlicher Weise eine Reparatur defekter Speicherzellen mit Hilfe der elektrisch programmierbaren Schalter erfolgen.

[0018] Es besteht jedoch auch die Möglichkeit, die zweite

Redundanzeinheit auch am Ende des Wafertests nicht zuzuschalten, und damit die Reparatur auf Bausteinebene generell ausgeschaltet zu lassen. Dies ist beispielsweise dann vorteilhaft, wenn der Herstellungsprozess so gut eingeschwenkt ist, daß die Zahl der Fehler auf Bausteinebene so klein ist, daß sich der Aufwand für das Vorsehen und die Reparatur mittels elektrisch programmierbarer Schalter nicht lohnt. In diesem Fall kann auf Reparatur auf Bausteinebene verzichtet werden und dafür die zusätzlichen Kosten für die Prozessierung der elektrisch programmierbaren Schalter und der für diese notwendigen Ansteuerlogik eingespart werden.

[0019] Zweckmäßigerweise weist das integrierte Halbleiterspeicherbauelement eine Umgehungstestschaltung auf, über die die zweite Redundanzeinheit auch ohne Aktivierung des irreversibel programmierbaren Schalters zum Testen zugänglich ist. Damit kann die Funktionalität der zweiten Redundanzeinheit auf Waferebene getestet werden, ohne eine endgültige Entscheidung über die Zuschaltung der Redundanzeinheit zu treffen.

[0020] Der irreversibel programmierbare Schalter kann etwa durch eine Laserfuse oder eine e-Fuse gebildet sein, gegenwärtig wird dabei die Ausbildung als Laserfuse bevorzugt, da deren Aktivierung am Ende der Tests auf Waferebene ohne zusätzlichen Aufwand möglich ist.

[0021] Vorteilhaft ist die Anzahl der zweiten redundanten Speicherzellen wesentlich kleiner als die Anzahl der ersten redundanten Speicherzellen. Dies ermöglicht, die Reparaturmöglichkeiten auf Waferebene voll auszuschöpfen und nur eine kleine Zahl von Speicherzellen noch auf Bausteinebene mit den elektrisch programmierbaren Schaltern zu ersetzen.

[0022] Die Anzahl der ersten und zweiten redundanten Speicherzellen hängt dabei in der Regel von der Größe des Speicherbauelements, also der Anzahl normaler Speicherzellen ab. Bevorzugt beträgt die Anzahl der ersten redundanten Speicherzellen zwischen 1% und 10%, besonders bevorzugt zwischen 2% und 5% der Anzahl der normalen Speicherzellen. Die Anzahl der zweiten redundanten Speicherzellen ist deutlich kleiner, und beträgt beispielsweise einige hundert Speicherzellen. Vorteilhaft ist die Anzahl der zweiten Speicherzellen auf die Organisationsstruktur des Speicherbausteins abgestimmt.

[0023] In einer Ausgestaltung des Halbleiterspeicherbauelements sind die ersten redundanten Speicherzellen an den normalen Speicherzellen angrenzend und die zweiten redundanten Speicherzellen mit Abstand von den normalen Speicherzellen angeordnet.

[0024] Die optisch programmierbaren Schalter sind bevorzugt als Laserfuses ausgebildet, also durch einen Laserimpuls irreversibel programmierbar. Ebenso ist es bevorzugt, daß die elektrisch programmierbaren Schalter durch e-Fuses gebildet sind, also durch einen elektrischen Impuls, etwa einen Spannungs- oder Stromimpuls irreversibel programmierbar sind.

[0025] Weitere vorteilhafte Ausgestaltungen, Merkmale und Details der Erfindung ergeben sich aus den abhängigen Ansprüchen, der Beschreibung des Ausführungsbeispiels und der Zeichnung.

[0026] Die Erfindung soll nachfolgend anhand eines Ausführungsbeispiels im Zusammenhang mit der Zeichnungen näher erläutert werden. Die einzige Figur zeigt als Ausführungsbeispiel der Erfindung eine Aufsicht auf einen ungehäuteten Speicherbaustein. Dabei sind nur die für das Verständnis der Erfindung wesentlichen Elemente dargestellt.

[0027] Ein ungehäuter Speicherbaustein 1 weist ein Speicherzellenfeld 2 auf, das in üblicher Weise matrixförmig organisiert ist und reguläre Zeilen- und Spaltenleitungen auf-

weist, in deren Kreuzungspunkten Speicherzellen MC angeordnet sind.

[0028] Angrenzend an jedes Speicherzellenfeld 2 ist ein redundantes Speicherzellenfeld 3 angeordnet, dessen Speicherzellen RMC über in gleicher Weise über Zeilenleitungen und Spaltenleitungen zugänglich sind. Die Speicherzellen MC und RMC beinhalten jeweils einen Auswahltransistor, der durch Aktivierung einer Zeilenleitung durchgeschaltet werden kann, und einen Speicherkondensator, der ein Informationsbit in Form von Ladung speichern und wieder ausgeben kann.

[0029] Um durch Angabe einer Adresse auf eine bestimmte Speicherzelle zugreifen zu können, sind weiter Adressdecoder 4, 5 für Zeilen und Spalten vorgesehen.

[0030] Die Speicherzellen MC des Speicherzellenfeldes 2 werden zunächst durch Tests auf Waferebene auf Funktionsfähigkeit überprüft. Defekte Zellen werden zunächst registriert und dann durch eine Programmierung von in einer Laserfusebank organisierten Laserfuses 6 adressmäßig durch funktionsfähige, redundante Speicherzellen RMC ersetzt. Dabei wird in der Regel nicht eine einzelne Speicherzelle MC ersetzt, sondern eine ganze defekte Speicherzellen enthaltene Zeilenleitung oder Spaltenleitung durch eine intakte redundante Zeilenleitung oder Spaltenleitung ersetzt.

[0031] Nach Abschluß der Tests auf Waferebene und dem Verpacken der Speicherbausteine sind die Laserfuses 6 nicht mehr zugänglich. Daher ist über den redundanten Speicherzellenblock 3 hinaus zusätzlich eine begrenzte Zahl von weiteren redundanten Speicherzellen RMC2 vorgesehen, um auch noch Fehler korrigieren zu können, die erst bei den nachfolgenden Tests auf Bausteinebene erkannt werden.

[0032] Die redundanten Speicherzellen RMC2 sind in einem e-Fuse-Block 9 zusammen mit einer Reihe von elektrisch programmierbaren Fuses (e-Fuses) angeordnet. Die redundanten Speicherzellen RMC2 und die elektrisch programmierbaren Fuses werden durch eine Ansteuerlogik 8 angesteuert.

[0033] Die Anzahl der redundanten Speicherzellen RMC hängt von der Größe des Speicherbausteins ab. Beispielsweise hat ein 64 MBit Chip eine erste Redundanz 3 von 2 MBit. Die zweiten redundanten Speicherzellen RMC2 dienen bestimmungsgemäß zum Ersetzen einiger weniger Zellen. Allerdings ist es zweckmäßig, bei einem Ausfall auf einer Adresse alle zu dieser Adresse gehörenden Datenleitungen ersetzen zu können. Bei einem Chip mit einer x16 Organisation kommen beispielsweise 16 Zellen auf eine Adresse. Um dann eine Reparaturfähigkeit von 16 Fehleradressen zu erhalten, beträgt die Anzahl der zweiten redundanten Speicherzellen $16 \times 16 = 256$.

[0034] Weiter ist eine Laserfuse 7 vorgesehen, über die die gesamte, aus den redundanten Speicherzellen RMC2 und den e-Fuses bestehende Redundanzeinheit zugeschaltet werden kann. Die Laserfuse 7 ist bei den Tests auf Waferebene noch nicht geschossen, so daß die gesamte Redundanzeinheit zunächst abgeschaltet ist und die Funktionsprüfung der übrigen Bauelemente nicht beeinflussen kann.

[0035] Erst am Ende des Wafertests wird entschieden, ob die Funktionalität des e-Fuse-Blocks für weitere Reparaturen auf Bausteinebene benötigt wird. Ist dies der Fall, wird die Laserfuse durch eine Laserimpuls geschossen und der e-Fuse-Block 9 damit aktiviert.

[0036] Wird die Laserfuse 7 nicht durchtrennt, bleibt der e-Fuse-Block im weiteren Verlauf inaktiv. Es ist daher möglich, bei gut eingeschwenktem Herstellungsprozess von vornherein auf das Prozessieren der e-Fuses zu verzichten, und nach Beendigung der Wafertests den e-Fuse-Block 9 abgeschaltet zu lassen. Dadurch kann vermieden werden, daß chipinterne Schaltungen, die beim Hochfahren der externen

Versorgungsspannung initialisiert werden und dabei die Fuses abfragen, ob sie intakt oder durchtrennt sind, nicht-prozessierte e-Fuses fälschlicherweise als geschossene Fuses interpretieren.

[0037] Um die Funktionsfähigkeit des e-Fuse-Blockes 9 selbst testen zu können, ohne die Laserfuse 7 durchtrennen zu müssen, und damit eine endgültige Entscheidung über die Zuschaltung zu treffen, ist weiter eine Umgehungstestschaltung 10 vorgesehen, über die der e-Fuse-Block 9 und die Ansteuerschaltung 8 zu Testzwecken zugänglich ist. [0038] Dabei kann ein Testmode, der die Funktionalität des e-Fuse-Blockes 9 zugänglich macht, sowohl auf Wafer-ebene als auch auf Bausteinebene aktiviert werden.

Bezugszeichenliste

1 Halbleiterspeicherbauelement	
2 Speicherzellenfeld	
3 Redundantes Speicherzellenfeld	
4 Adressdecoder	20
5 Adressdecoder	
6 Laserfuse	
7 Laserfuse	
8 Ansteuerlogik	
9 e-Fuse-Block	25
10 Umgehungstestschaltung	

Patentansprüche

1. Integriertes Halbleiterspeicherbauelement, das zur Ermittlung von funktionsfähigen und fehlerhaften Speicherzellen einem Speicherzellentest unterziehbar ist, mit

- adressierbaren normalen Speicherzellen (2, MC)
- einer ersten Redundanzeinheit, die erste adressierbare redundante Speicherzellen (3, RMC) und optisch programmierbare Schalter (6) zum Ersetzen einer Adresse einer fehlerhaften normalen Speicherzelle (MC) durch die Adresse einer ersten redundanten Speicherzelle (RMC) aufweist, und
- einer zweiten Redundanzeinheit (8, 9), die zweite adressierbare redundanten Speicherzellen (9, RMC2) und elektrisch programmierbare Schalter zum Ersetzen einer Adresse einer fehlerhaften normalen Speicherzelle (MC) durch die Adresse einer zweiten redundanten Speicherzelle (RMC2) aufweist,
- dadurch gekennzeichnet, daß**
- die zweite Redundanzeinheit (8, 9) durch die Aktivierung eines irreversibel programmierbaren Schalters (7) zuschaltbar ist.

2. Integriertes Halbleiterspeicherbauelement nach Anspruch 1, das weiter eine Umgehungstestschaltung (10) aufweist, über die die zweite Redundanzeinheit (8, 9) ohne Aktivierung des irreversibel programmierbaren Schalters (7) zum Testen zugänglich ist.

3. Integriertes Halbleiterspeicherbauelement nach einem der vorigen Ansprüche, bei dem die Anzahl der zweiten redundanten Speicherzellen (RMC2) wesentlich kleiner als die Anzahl der ersten redundanten Speicherzellen (RMC) ist.

4. Integriertes Halbleiterspeicherbauelement nach einem der vorigen Ansprüche, bei dem die ersten redundanten Speicherzellen (3, RMC) an die normalen Speicherzellen (2, MC) angrenzend, und die zweiten redundanten Speicherzellen (9, RMC2) mit Abstand von den

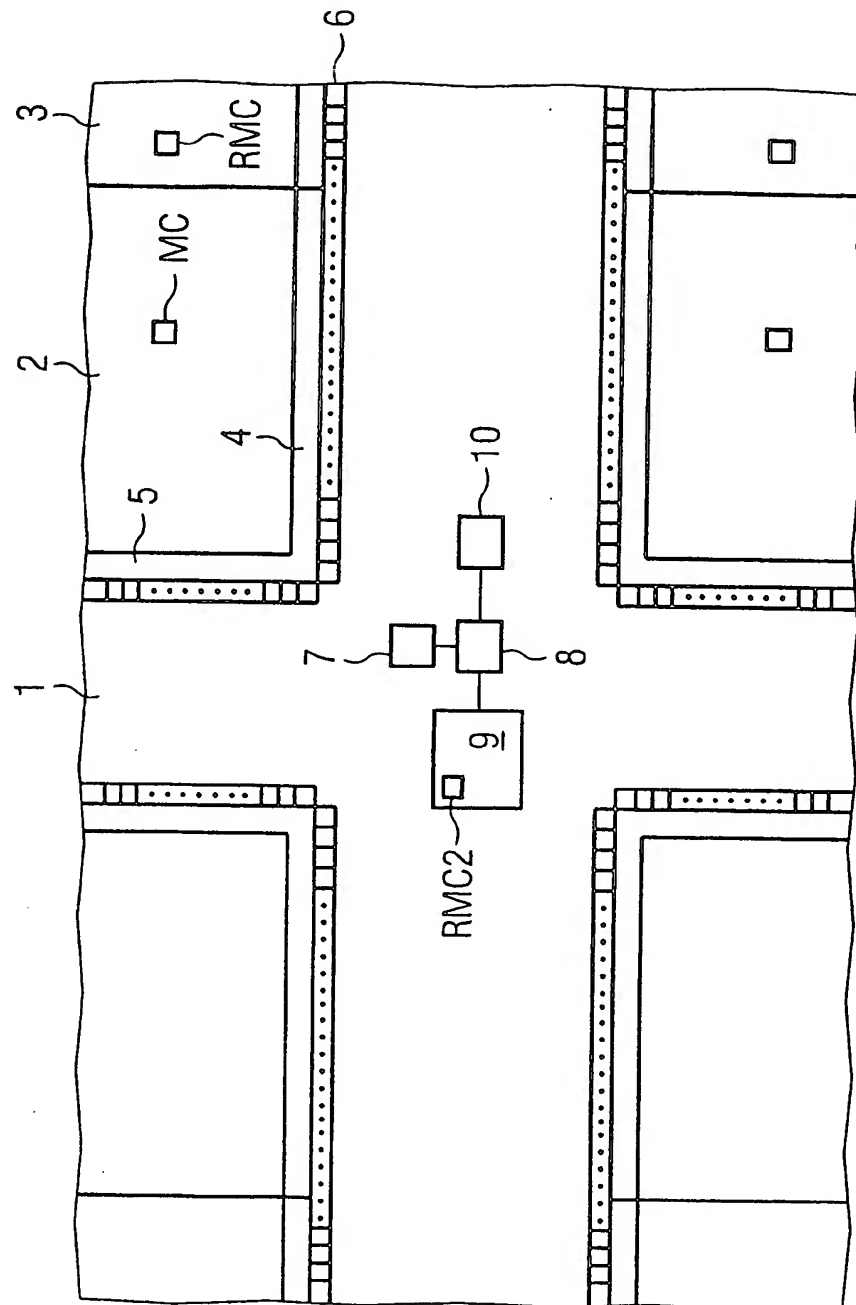
normalen Speicherzellen (2, MC) angeordnet sind.

5. Integriertes Halbleiterspeicherbauelement nach einem der vorigen Ansprüche, bei dem der irreversibel programmierbare Schalter durch eine Laserfuse (7) gebildet ist.

6. Integriertes Halbleiterspeicherbauelement nach einem der vorigen Ansprüche, bei dem die optisch programmierbaren Schalter durch Laserfuses (6) gebildet sind.

7. Integriertes Halbleiterspeicherbauelement nach einem der vorigen Ansprüche, bei dem die elektrisch programmierbaren Schalter durch einen elektrischen Strom- oder Spannungspuls irreversibel programmierbar sind.

Hierzu 1 Seite(n) Zeichnungen



- Leerseite -